

CIRCUIT BOARD, SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR AND MATERIAL PIECE FOR CIRCUIT BOARD

Publication number: JP2001185649

Publication date: 2001-07-06

Inventor: SASAKI MASAYUKI; SAKAGUCHI HIDEAKI

Applicant: SHINKO ELEC IND

Classification:

- international: **H01L21/60; H01L23/12; H01L23/498; H01L23/50; H05K1/16; H05K3/42; H05K1/03; H05K1/11; H05K3/00; H05K3/34; H05K3/46; H01L21/02; H01L23/12; H01L23/48; H05K1/16; H05K3/42; H05K1/03; H05K1/11; H05K3/00; H05K3/34; H05K3/46; (IPC1-7): H01L23/12; H01L21/60; H05K1/16; H05K3/42**

- European: H01L23/498D; H01L23/50; H05K1/16C

Application number: JP19990368652 19991227

Priority number(s): JP19990368652 19991227

Also published as:



US6603202 (B2)

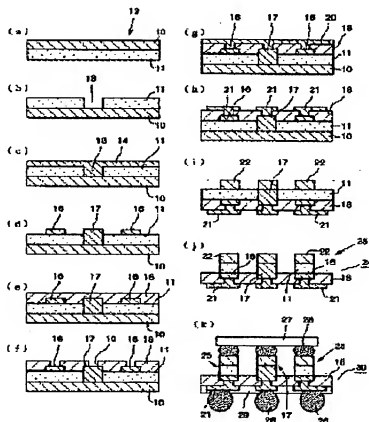


US2001006119 (A1)

Report a data error here

Abstract of JP2001185649

PROBLEM TO BE SOLVED: To provide a circuit board, a method for manufacturing it and a material piece for the circuit board having excellent noise absorption and capable of reducing in size. **SOLUTION:** The circuit board is obtained by forming a plurality of one electrode films 16 on an insulating layer 18 of the uppermost layer, forming a ferroelectric layer 11 having larger dielectric constant than that of the layer corresponding to the each one film 16, forming the other electrode film 22 on the layer 11, and forming a plurality of bypass capacitors 25 connected to the power terminal of a mounting semiconductor chip 27.



Data supplied from the esp@cenet database - Worldwide

【特許請求の範囲】

【請求項 1】 最表層の絶縁層に複数の一方の電極膜が形成され、該各一方の電極膜と対応して前記絶縁層よりも誘電率の大きな強誘電体層が形成されていると共に、該各強誘電体層上に他方の電極膜が形成されて、搭載される半導体チップの電源用端子と接続される複数のバイパスキャパシタが形成されていることを特徴とする回路基板。

【請求項 2】 前記複数のバイパスキャパシタが、半導体チップの信号用端子が接続されるパッドと共に、半導体チップの搭載エリア内に配設されていることを特徴とする請求項 1 記載の回路基板。

【請求項 3】 前記バイパスキャパシタの他方の電極膜上および前記パッド上に、半導体チップ接合用の予備はんだ層が形成されていることを特徴とする請求項 2 記載の回路基板。

【請求項 4】 前記強誘電体層が、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、酸化タantal、またはチタン酸バリウムからなる請求項 1、2 または 3 記載の回路基板。

【請求項 5】 請求項 2、3 または 4 記載の回路基板の、前記バイパスキャパシタの他方の電極膜および前記パッド上に半導体チップがフリップチップ接続されていることを特徴とする半導体装置。

【請求項 6】 金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、

めっきにより、前記パッド用穴内を充填すると共に前記強誘電体層上を覆う第 1 の導体層を形成するめっき工程と、

該第 1 の導体層をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチング工程と、

該エッチング工程により露出した前記強誘電体層上に第 1 の絶縁層を形成する工程と、

めっきにより、前記第 1 の絶縁層上に、前記一方の電極膜と前記パッドとに電気的に接続する第 2 の導体層を形成するめっき工程と、

該第 2 の導体層をエッチングして、前記一方の電極膜および前記パッドにそれぞれ接続する配線パターンを形成するエッチング工程と、

前記金属箔をエッチングして、前記第 1 の電極膜と前記強誘電体層を介して対向する第 2 の電極膜を形成する工程と、

該金属箔をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴とする回路基板の製造方法。

【請求項 7】 請求項 6 において、さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続

する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 金属箔の一方の面に強誘電体層が、他方の面にはんだ層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、

めっきにより、前記パッド用穴内を充填すると共に前記強誘電体層上を覆う第 1 の導体層を形成するめっき工程と、

10 該第 1 の導体層をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチング工程と、

該エッチング工程により露出した前記強誘電体層上に第 1 の絶縁層を形成する工程と、

めっきにより、前記第 1 の絶縁層上に、前記一方の電極膜と前記パッドとに電気的に接続する第 2 の導体層を形成するめっき工程と、

該第 2 の導体層をエッチングして、前記一方の電極膜および前記パッドにそれぞれ接続する配線パターンを形成するエッチング工程と、

20 前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すはんだ層のエッチング工程と、

該はんだ層をエッチングすることにより露出した前記金属箔をエッチングして、前記第 1 の電極膜と前記強誘電体層を介して対向する第 2 の電極膜を形成する工程と、該金属箔をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴とする回路基板の製造方法。

30 【請求項 9】 請求項 8 において、さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 10】 金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、

めっきにより、前記パッド用穴内を充填すると共に前記強誘電体層上を覆う第 1 の導体層を形成するめっき工程と、

40 前記材料片の他方の面にはんだ層を形成する工程と、前記金属箔をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチング工程と、

該エッチング工程により露出した前記強誘電体層上に第 1 の絶縁層を形成する工程と、

めっきにより、前記第 1 の絶縁層上に、前記一方の電極膜と前記パッドとに電気的に接続する第 2 の導体層を形成するめっき工程と、

50 該第 2 の導体層をエッチングして、前記一方の電極膜お

よび前記パッドにそれぞれ接続する配線パターンを形成するエッチング工程と、

前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すはんだ層のエッチング工程と、

該はんだ層をエッチングすることにより露出した前記第1の導体層をエッチングして、前記第1の電極膜と前記強誘電体層を介して対向する第2の電極膜を形成する工程と、

該第1の導体層をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴とする回路基板の製造方法。

【請求項11】 請求項10において、さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項12】 金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、

めっきにより、前記パッド用穴内を充填すると共に前記強誘電体層上を覆う第3の導体層を形成するめっき工程と、

前記第3の導体層をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチング工程と、

該エッチング工程により露出した前記強誘電体層上に第2の絶縁層を形成する工程と、

該第2の絶縁層および前記強誘電体層に、前記一方の電極膜の近傍に位置して前記金属箔に達する穴を形成する工程と、

めっきにより、前記第2の絶縁層上に、前記穴を充填すると共に、前記一方の電極膜と前記パッドとに電氣的に接続する第4の導体層を形成するめっき工程と、

該第4の導体層をエッチングして、前記一方の電極膜、前記パッドおよび前記金属箔にそれぞれ接続する配線パターンを形成するエッチング工程と、

前記金属箔をエッチングして、前記第1の電極膜と前記強誘電体層を介して対向する第2の電極膜を形成する工程と、

該金属箔をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴とする回路基板の製造方法。

【請求項13】 請求項12において、さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項14】 第1の金属箔の一方の面に強誘電体層が形成され、該強誘電体層上に絶縁層を介して第2の金

属箔が形成された材料片の前記第2の金属箔をエッチングして第1の電極膜を形成する工程と、

前記絶縁層を覆って第3の絶縁層を形成する工程と、該第3の絶縁層、前記絶縁層および前記強誘電体層に、前記第1の電極膜の近傍に位置する穴およびパッド用穴を形成して前記第1の金属箔を露出させる穴あけ工程と、

めっきにより、前記第3の絶縁層上に、前記穴およびパッド用穴内を充填すると共に、前記一方の電極膜と電氣的に接続する第5の導体層を形成するめっき工程と、

該第5の導体層をエッチングして、前記一方の電極膜および前記第1の金属箔にそれぞれ接続する配線パターンとパッドとを形成するエッチング工程と、

前記第1の金属箔をエッチングして、前記第1の電極膜と前記強誘電体層を介して対向する第2の電極膜を形成する工程と、

該第1の金属箔をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴とする回路基板の製造方法。

20 【請求項15】 請求項14において、さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項16】 金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成する工程と、

該パッド用穴を充填すると共に、前記強誘電体層を覆うはんだ層を形成する工程と、

30 前記金属箔をエッチングして、第1の電極膜およびパッドを形成する工程と、露出した前記強誘電体層上に第4の絶縁層を形成する工程と、

めっきにより、前記第4の絶縁層を覆って前記第1の電極膜およびパッドに電氣的に接続する第6の導体層を形成するめっき工程と、

該第6の導体層をエッチングして配線パターンを形成するエッチング工程と、

前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すエッチング工程と、

40 露出した前記強誘電体層を除去する工程とを含むことを特徴とする回路基板の製造方法。

【請求項17】 請求項16において、さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】 金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成する

工程と、銅により該パッド用穴を充填する銅めっき工程と、前記強誘電体層を覆うはんだ層を形成する工程と、前記金属箔をエッチングして、第1の電極膜およびパッドを形成する工程と、露出した前記強誘電体層上に第4の絶縁層を形成する工程と、めっきにより、前記第4の絶縁層を覆って前記第1の電極膜およびパッドに電気的に接続する第6の導体層を形成するめっき工程と、該第6の導体層をエッチングして配線パターンを形成するエッチング工程と、前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すエッチング工程と、露出した前記強誘電体層を除去する工程とを含むことを特徴とする回路基板の製造方法。

【請求項19】 請求項18において、さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項20】 金属箔の一方の面に強誘電体層が形成されてなる回路基板用材料片。

【請求項21】 金属箔の一方の面に強誘電体層が形成され、該金属箔の他方の面にはんだ層が形成されてなる回路基板用材料片。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は回路基板、半導体装置、その製造方法および回路基板用材料片に関する。

【0002】

【従来の技術】半導体チップを搭載する回路基板では、ノイズの吸収をするためキャパシタを取り付けている。従来のキャパシタは、チップキャパシタを回路基板の外部に取り付けることにより対処していた。

【0003】

【発明が解決しようとする課題】しかるに、上記のように、チップキャパシタを回路基板の外部に取り付けたものでは、半導体チップとチップキャパシタとの距離が大きくなり、ノイズの吸収が十分でないという課題がある。また、チップキャパシタを含めた装置全体が大化型するという課題もある。

【0004】そこで本発明は上記課題を解決し得る新たなものであり、その目的とするところは、ノイズの吸収に優れ、小型化が可能な回路基板、半導体装置、その製造方法および回路基板用材料片を提供するにある。

【0005】

【課題を解決するための手段】本発明に係る回路基板では、最表層の絶縁層に複数の一方の電極膜が形成され、

該各一方の電極膜と対応して前記絶縁層よりも誘電率の大きな強誘電体層が形成されていると共に、該各強誘電体層上に他方の電極膜が形成されて、搭載される半導体チップの電源用端子と接続される複数のバイパスキャパシタが形成されていることを特徴としている。この場合に、前記複数のバイパスキャパシタが、半導体チップの信号用端子が接続されるパッドと共に、半導体チップの搭載エリア内に配設されるようにすると好適である。また前記バイパスキャパシタの他方の電極膜上および前記パッド上に半導体チップ接合用の予備はんだ層を形成すると半導体チップを容易に搭載できる。また本発明に係る半導体装置では、上記回路基板の、前記バイパスキャパシタの他方の電極膜および前記パッド上に半導体チップがフリップチップ接続されていることを特徴としている。このように、バイパスキャパシタが半導体チップの直下に配設されることにより、電源ノイズを効果的に吸収することができ、前記強誘電体層に、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、酸化タンタル、チタン酸バリウムなどを好適に用いることができる。

【0006】また本発明に係る回路基板の製造方法では、金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、めっきにより、前記パッド用穴を充填すると共に前記強誘電体層上に覆う第1の導体層を形成するめっき工程と、該第1の導体層をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチング工程と、該エッチング工程により露出した前記強誘電体層上に第1の絶縁層を形成する工程と、めっきにより、前記第1の絶縁層上に、前記一方の電極膜と前記パッドとに電気的に接続する第2の導体層を形成するめっき工程と、該第2の導体層をエッチングして、前記一方の電極膜および前記パッドにそれぞれ接続する配線パターンを形成するエッチング工程と、前記金属箔をエッチングして、前記第1の電極膜と前記強誘電体層を介して対向する第2の電極膜を形成する工程と、該金属箔をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴としている。さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことにより、半導体チップが搭載された半導体装置を製造することができ、

【0007】また本発明に係る回路基板の製造方法では、金属箔の一方の面に強誘電体層が、他方の面にはんだ層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、めっきにより、前記パッド用穴内を充填すると共に前記強誘電体層上に覆う第1の導体層を形成するめっき工程と、該第1の導体層をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチン

グ工程と、該エッチング工程により露出した前記強誘電体層上に第1の絶縁層を形成する工程と、めっきにより、前記第1の絶縁層上に、前記一方の電極膜と前記パッドとに電気的に接続する第2の導体層を形成するめっき工程と、該第2の導体層をエッチングして、前記一方の電極膜および前記パッドにそれぞれ接続する配線パターンを形成するエッチング工程と、前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すはんだ層のエッチング工程と、該はんだ層をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴としている。さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことにより、半導体チップが搭載された半導体装置を製造することができる。

【0008】さらに本発明に回路基板の製造方法では、金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、めっきにより、前記パッド用穴内を充填すると共に前記強誘電体層上を覆う第1の導体層を形成するめっき工程と、前記材料片の他方の面上にはんだ層を形成する工程と、前記金属箔をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチング工程と、該エッチング工程により露出した前記強誘電体層上に第1の絶縁層を形成する工程と、めっきにより、前記第1の絶縁層上に、前記一方の電極膜と前記パッドとに電気的に接続する第2の導体層を形成するめっき工程と、該第2の導体層をエッチングして、前記一方の電極膜および前記パッドにそれぞれ接続する配線パターンを形成するエッチング工程と、前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すはんだ層のエッチング工程と、該はんだ層をエッチングすることにより露出した前記第1の導体層をエッチングし

て、前記第1の電極膜と前記強誘電体層を介して対向する第2の電極膜を形成する工程と、該第1の導体層をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴としている。さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことにより、半導体チップが搭載された半導体装置を製造することができる。

【0009】またさらに本発明に係る回路基板の製造方法では、金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成して金属箔を露出させる穴あけ工程と、めっきにより、前記パッド用穴内を充填すると共に前記強誘電体層上を覆う第3の導

体層を形成するめっき工程と、前記第3の導体層をエッチングして、形成すべきバイパスキャパシタの一方の電極膜と、パッドとを形成するエッチング工程と、該エッチング工程により露出した前記強誘電体層上に第2の絶縁層を形成する工程と、該第2の絶縁層および前記強誘電体層に、前記一方の電極膜の近傍に位置して前記金属箔に達する穴を形成する工程と、めっきにより、前記第2の絶縁層上に、前記穴を充填すると共に、前記一方の電極膜と前記パッドとに電気的に接続する第4の導体層を形成するめっき工程と、該第4の導体層をエッチングして、前記一方の電極膜、前記パッドおよび前記金属箔にそれぞれ接続する配線パターンを形成するエッチング工程と、前記金属箔をエッチングして、前記第1の電極膜と前記強誘電体層を介して対向する第2の電極膜を形成する工程と、該金属箔をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むことを特徴としている。さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことにより、半導体チップが搭載された半導体装置を製造することができる。

【0010】さらにまた本発明に係る回路基板の製造方法では、第1の金属箔の一方の面に強誘電体層が形成され、該強誘電体層上に絶縁層を介して第2の金属箔が形成された材料片の前記第2の金属箔をエッチングして第1の電極膜を形成する工程と、前記絶縁層を覆って第3の絶縁層を形成する工程と、該第3の絶縁層、前記絶縁層および前記強誘電体層に、前記第1の電極膜の近傍に位置する穴およびパッド用穴を形成して前記第1の金属箔を露出させる穴あけ工程と、めっきにより、前記第3の絶縁層上に、前記穴およびパッド用穴内を充填すると共に、前記一方の電極膜と電気的に接続する第5の導体層を形成するめっき工程と、該第5の導体層をエッチングして、前記一方の電極膜および前記第1の金属箔にそれぞれ接続する配線パターンとパッドとを形成するエッチング工程と、前記第1の金属箔をエッチングして、前記第1の電極膜と前記強誘電体層を介して対向する第2の電極膜を形成する工程と、該第1の金属箔をエッチングすることにより露出した前記強誘電体層を除去する工程とを含むこととを特徴としている。さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことにより、半導体チップが搭載された半導体装置を製造することができる。

【0011】さらに本発明に係る回路基板の製造方法では、金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成する工程と、該パッド用穴を充填すると共に、前記強誘電体層を覆うはんだ層を形成する工程と、前記金属箔をエッチングして、第1の電極膜およびパッドを形成する工程と、露出した

前記強誘電体層上に第4の絶縁層を形成する工程と、めっきにより、前記第4の絶縁層を覆って前記第1の電極膜およびパッドに電気的に接続する第6の導体層を形成するめっき工程と、該第6の導体層をエッチングして配線パターンを形成するエッチング工程と、前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すエッチング工程と、露出した前記強誘電体層を除去する工程とを含むことを特徴としている。する回路基板の製造方法。さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことにより、半導体チップが搭載された半導体装置を製造することができる。

【0012】またさらに本発明に係る回路基板の製造方法では、金属箔の一方の面に強誘電体層が形成された材料片の前記強誘電体層にパッド用穴を形成する工程と、銅により該パッド用穴を充填する銅めっき工程と、前記強誘電体層を覆うはんだ層を形成する工程と、前記金属箔をエッチングして、第1の電極膜およびパッドを形成する工程と、露出した前記強誘電体層上に第4の絶縁層を形成する工程と、めっきにより、前記第4の絶縁層を覆って前記第1の電極膜およびパッドに電気的に接続する第6の導体層を形成するめっき工程と、該第6の導体層をエッチングして配線パターンを形成するエッチング工程と、前記はんだ層をエッチングして、前記一方の電極膜および前記パッドに対向する部位の前記はんだ層を残すエッチング工程と、露出した前記強誘電体層を除去する工程とを含むことを特徴としている。さらに、前記配線パターンに外部接続端子を形成する工程と、前記はんだ層により半導体チップをフリップチップ接続する工程とを含むことにより、半導体チップが搭載された半導体装置を製造することができる。

【0013】また、本発明に係る回路基板用材料片では、金属箔の一方の面に強誘電体層が形成されていることを特徴としている。さらに本発明に係る回路基板用材料片では、金属箔の一方の面に強誘電体層が形成され、該金属箔の他方の面にはんだ層が形成されていることを特徴としている。上記材料片を用いることにより上記回路基板を効率よく製造することができる。

【0014】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。以下製法と共に回路基板の構造を説明する。図1は製造方法の第1の実施の形態を示す。まず図1a、図1bに示すように、銅箔（他の金属箔でもよい）10の一方の面に強誘電体層11が形成された材料片12の強誘電体層11にレーザー加工によりパッド用穴13を形成して銅箔10を露出させる穴あけ工程を行う。

【0015】強誘電体層11は、チタン酸ストロンチウム（ SrTiO_3 ）（STO）、チタン酸ジルコニウム

酸鉛（ $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ ）（PZT）、酸化タンタル（ Ta_2O_5 ）、チタン酸バリウム（ BaTiO_3 ）などの強誘電体が好適に用いられ、銅箔10上にスパッタリングやCVDにより所要厚さに形成される。次に、図1cに示すように、無電解銅めっきおよび電解銅めっきにより、パッド用穴13内を充填すると共に強誘電体層11上を覆う第1の銅めっき皮膜（導体層、以下同じ）14を形成する。

【0016】次いで図1dに示すように、第1の銅めっき皮膜14をエッチングして、形成すべきバイパスキャパシタの一方の電極膜16（図では2箇所示すが適宜複数個とする）と、パッド17（図では1箇所示すが複数である）とを形成する。次に図1eに示すように、上記エッチング工程により露出した強誘電体層11上に第1の絶縁層18を形成する。第1の絶縁層18は、ポリイミドやポリフェニレンエーテル等の樹脂（非感光性）を塗布、またはこれら樹脂シートを接着して形成する。次いで第1の絶縁層18にレーザー加工によりビア穴19を形成して、一方の電極膜16とパッド18とを露出させる（図1f）。この場合、第1の絶縁層18には感光性レジストを用いて、一方の電極膜16とパッド17とを覆うように第1の絶縁層18を形成し、フォトリソグラフィによりビア穴19をあけてもよい。

【0017】次に図1gに示すように、無電解銅めっきおよび電解銅めっきにより、第1の絶縁層18上に、一方の電極膜16とパッド17とに電気的に接続する第2の銅めっき皮膜20を形成する。次いで図1hに示すように、第2の銅めっき皮膜20をエッチングして、一方の電極膜16およびパッド17にそれぞれ接続する配線パターン21を形成する。なお、この配線パターン21上に、絶縁層を形成し、ビア穴形成、銅めっき皮膜形成、パターンニング（配線パターン形成）を繰り返すことにより多層回路基板に形成してもよい（図示せず）。

【0018】次に図1iに示すように、銅箔10をエッチングして、第1の電極膜16と強誘電体層11を介して対向する第2の電極膜22を形成する。次に、図1jに示すように、銅箔10をエッチングすることにより露出した強誘電体層11をエッチングで除去して、回路基板24に完成する。銅箔10のエッチングと強誘電体層11のエッチングでは異なるエッチング液を用い、それぞれをマスクとしてエッチングすることができる。強誘電体層のみ溶かすエッチング液を用いることにより第2の電極膜22をマスクとして強誘電体層のエッチングが行える。回路基板24は、最表層の絶縁層18（第1の絶縁層）に複数の一方の電極膜16が形成され、該一方の電極膜16と対向して絶縁層18よりも誘電率の大きな強誘電体層11が形成され、該各強誘電体層11上に他方の電極膜22が形成されることにより、搭載される半導体チップの電源用端子と接続される複数のバイパスキャパシタ25が表層に形成されたものとなる（請求

項 1)。なお、配線パターン 21 は単層に形成したが、多層に形成できることはもちろんである。

【0019】また図 1k に示すように、上記回路基板 24 の配線パターン 21 にはんだボール（外部接続端子）26 を取りつけ、バイパスキャパシタ 25 の他方の電極膜 22 上およびパッド 17 上に半導体チップ 27 をはんだ 28 を用いてフリップチップ接続して搭載し、半導体装置 30 に形成することもできる。なお、29 はソルダーレジストである。すなわち、この場合、複数のバイパスキャパシタ 25 が、半導体チップ 27 の信号用端子が接続されるパッド 17 と共に、半導体チップ 27 の搭載エリア内に配設されている（請求項 2）。このように、バイパスキャパシタ 25 が半導体チップ 27 の直下に配設されるから、電源ノイズを効果的に吸収することができる。なお、外部接続端子ははんだボールの他にピンであってもよい。

【0020】図 2 は製造方法の第 2 の実施の形態を示す。第 1 の実施の形態と同一の部材は同一符号を付す。まず図 2a、図 2b に示すように、銅箔 10 の一方の面に強誘電体層 11 が、他方の面にはんだ層 32 が形成された材料片 12 の強誘電体層 11 にレーザー加工によりパッド用穴 13 を形成して銅箔 10 を露出させる穴あけ工程を行う。次に図 2c に示すように、無電解銅めっきおよび電解銅めっきにより、パッド用穴 13 内を充填すると共に強誘電体層 11 上を覆う第 1 の銅めっき皮膜 14 を形成する。

【0021】次いで図 2d に示すように、第 1 の銅めっき皮膜 14 をエッチングして、形成すべきバイパスキャパシタの一方の電極膜 16（図では 2 個所示すが適宜複数個とする）と、パッド 17（図では 1 個所示すが複数である）とを形成する。次に図 2e に示すように、上記エッチング工程により露出した強誘電体層 11 上に第 1 の絶縁層 18 を形成する。第 1 の絶縁層 18 は、ポリイミドやポリフェニレンエーテル等の樹脂（非感光性）を塗布、またはこれらの樹脂シートを接着して形成する。次いで第 1 の絶縁層 18 にレーザー加工によりビア穴 19 を形成して、一方の電極膜 16 とパッド 18 とを露出させる（図 2f）。この場合、第 1 の絶縁層 18 には感光性レジストを用いて、一方の電極膜 16 とパッド 17 とを覆うように第 1 の絶縁層 18 を形成し、フォトリソグラフィによりビア穴 19 をあけてもよい。

【0022】次に図 2g に示すように、無電解銅めっきおよび電解銅めっきにより、第 1 の絶縁層 18 上に、一方の電極膜 16 とパッド 17 とに電気的に接続する第 2 の銅めっき皮膜 20 を形成する。次いで図 2h に示すように、第 2 の銅めっき皮膜 20 をエッチングして、一方の電極膜 16 およびパッド 17 にそれぞれ接続する配線パターン 21 を形成する。なお、この配線パターン 21 上に、絶縁層を形成し、ビア穴形成、銅めっき皮膜形成、パターンニング（配線パターン形成）を繰り返すこ

とにより多層回路基板に形成してもよい（図示せず）。

【0023】次に図 2i に示すように、はんだ層 32 をエッチングして、一方の電極膜 16 およびパッド 17 に対向する部位のはんだ層を残して予備はんだ層 32 を形成するエッチング工程を行う。次いで図 2j に示すように、はんだ層 32 をエッチングすることにより露出した銅箔 10 をエッチングして、第 1 の電極膜 16 と強誘電体層 11 を介して対向する第 2 の電極膜 22 を形成する。

【0024】次に、図 2k に示すように、銅箔 10 をエッチングすることにより露出した強誘電体層 11 をエッチングで除去して、回路基板 24 に完成する。はんだ層 32 のエッチング、銅箔 10 のエッチング、強誘電体層 11 のエッチングでは異なるエッチング液を用い、それぞれをマスクとしてエッチングすることができる。すなわち、予備はんだ層 32 をマスクとして銅箔 10 のエッチングが行え、第 2 の電極膜 22 をマスクとして強誘電体層 11 のエッチングが行える。回路基板 24 は、最表面の絶縁層 18（第 1 の絶縁層）に複数の一方の電極膜 16 が形成され、該各一方の電極膜 16 と対向して絶縁層 18 よりも誘電率の大きな強誘電体層 11 が形成され、該各強誘電体層 11 上に他方の電極膜 22 が形成され、該他方の電極膜 22 上（およびパッド 17 上）に予備はんだ層 32 が形成されることにより、搭載される半導体チップの電源用端子と接続される、予備はんだ層付きの複数のバイパスキャパシタ 25 が表層に形成されたものとなる。なお、配線パターン 21 は単層に形成したが、多層に形成できることはもちろんである。

【0025】また図 2l に示すように、上記回路基板 24 の配線パターン 21 にはんだボール（外部接続端子）26 を取りつけ、バイパスキャパシタ 25 の他方の電極膜 22 上およびパッド 17 上に半導体チップ 27 を予備はんだ層 32 を用いてフリップチップ接続して搭載し、半導体装置 30 に形成することもできる。なお、29 はソルダーレジストである。すなわち、この場合、複数のバイパスキャパシタ 25 が、半導体チップ 27 の信号用端子が接続されるパッド 17 と共に、半導体チップ 27 の搭載エリア内に配設されている。このように、バイパスキャパシタ 25 が半導体チップ 27 の直下に配設されるから、電源ノイズを効果的に吸収することができる。なお、外部接続端子ははんだボールの他にピンであってもよい。

【0026】図 3 は図 2 の第 2 の実施の形態の変形例である第 3 の実施の形態を示す。この第 3 の実施の形態では、銅箔 10 の一方の面に強誘電体層 11 が形成された材料片 12 の強誘電体層 11 にレーザー加工によりパッド用穴 13 を形成して銅箔 10 を露出させ（図 3a、図 3b）、無電解銅めっきおよび電解銅めっきにより、パッド用穴 13 内を充填すると共に強誘電体層 11 上を覆う第 1 の銅めっき皮膜 14 を形成し（図 3c）、材料片

12の他方の面上にはんだ層32を形成する(図3d)のである。以後は図2のd工程以下と同じであるので説明を省略する。なお、図2cと図3dとの比較から明らかなように、本実施の形態と図2の実施の形態とは銅箔10と第1のめっき皮膜14とが入れ替わった構造となっているが実質的な構造は同じである。したがって、本実施の形態での図2d以降の工程では、前記図2の説明中、第1のめっき皮膜14を銅箔10と、銅箔10を第1のめっき皮膜14と読み替える必要がある(請求項10)。

【0027】図4は第4の実施の形態を示す。まず図4a、図4bに示すように、銅箔10の一方の面に強誘電体層11が形成された材料片12の強誘電体層11にレーザー加工によりパッド用穴13を形成して銅箔10を露出させる穴あけ工程を行う。つぎに図4cに示すように、無電解銅めっきおよび電解銅めっきにより、パッド用穴13内を充填すると共に強誘電体層11上を覆う第3の銅めっき皮膜34を形成する。

【0028】次いで図4dに示すように、第3の銅めっき皮膜34をエッチングして、形成すべきバイパスキャパシタの一方の電極膜16と、パッド17とを形成する。次に図4eに示すように、上記エッチング工程により露出した強誘電体層11上に第2の絶縁層35を形成する。第2の絶縁層35は、ポリイミドやポリフェニレンエーテル等の樹脂(非感光性)を塗布、またはこれらの樹脂シートを接着して形成する。次いで第2の絶縁層35にレーザー加工によりビア穴19を形成して、一方の電極膜16とパッド18とを露出させ、また同時に、一方の電極膜16の近傍に位置して銅箔10に達する穴36を形成する。この場合、第2の絶縁層35には感光性レジストを用いて、一方の電極膜16とパッド17とを覆うように第2の絶縁層35を形成し、フォトリソグラフィによりビア穴19をあけ、レーザー加工により穴36を形成してもよい。

【0029】次いで図4fに示すように、無電解銅めっきおよび電解銅めっきにより、第2の絶縁層35上に、穴36を充填すると共に、一方の電極膜16とパッド17とに電気的に接続する第4の銅めっき皮膜37を形成する。

【0030】次いで図4gに示すように、第4の銅めっき皮膜37をエッチングして、一方の電極膜16、パッド17および銅箔10にそれぞれ接続する配線パターン21を形成する。なお、この配線パターン21上に、絶縁層を形成し、ビア穴形成、銅めっき皮膜形成、パターンニング(配線パターン形成)を繰り返すことにより多層回路基板に形成してもよい(図示せず)。

【0031】次に図4hに示すように、銅箔10をエッチングして、第1の電極膜16と強誘電体層11を介して対向する第2の電極膜22を形成する。次いで図4iに示すように、銅箔10をエッチングすることにより露

出した強誘電体層11をエッチングで除去することにより、バイパスキャパシタ25を表層に有する回路基板38を形成することができる。

【0032】銅箔10のエッチング、強誘電体層11のエッチングでは異なるエッチング液を用い、それぞれをマスクとしてエッチングすることができる。すなわち、第2の電極膜22をマスクとして強誘電体層11のエッチングが行える。また、上記回路基板38の配線パターン21にはんだボール(外部接続端子)26を取りつけ、バイパスキャパシタ25の他方の電極膜22上およびパッド17上に半導体チップ(図示せず)をはんだを用いてフリップチップ接続して搭載し、半導体装置(図示せず)に形成することもできる。

【0033】すなわち、この場合も、複数のバイパスキャパシタ25が、半導体チップの信号用端子が接続されるパッド17と共に、半導体チップの搭載エリア内に配設されている。このように、バイパスキャパシタ25が半導体チップの直下に配設されるから、電源ノイズを効果的に吸収することができる。なお、本実施の形態でも、図4aに示す材料片12の銅箔10の他方の面にはんだ層を形成した材料片を出発の材料片とするか、あるいは中途ではんだ層を形成することにより、図2に示すのと同様な予備はんだ層を備える回路基板に形成することができる。また外部接続端子はんだボールの他にピンであってもよい。

【0034】図5は第5の実施の形態を示す。まず、図5b、図5cに示すように、第1の銅箔40の一方の面に強誘電体層11が形成され、該強誘電体層11上に絶縁層41を介して第2の銅箔42が形成された材料片12の前記第2の銅箔42をエッチングして第1の電極膜16を形成する。なお図5aのように、第1の銅箔40の一方の面に強誘電体層11が形成された材料片を出発としてもよい。この場合この材料片の強誘電体層11上に接着性を有する絶縁層41により第2の銅箔42を接着し、図5bに示す材料片にすることができる。

【0035】次に図5dに示すように、絶縁層を覆って第3の絶縁層43を形成すると共に、第3の絶縁層43、絶縁層41および強誘電体層11に、第1の電極膜16の近傍に位置する穴36およびパッド用穴13を形成して第1の銅箔40を露出させる。この穴あけはレーザーを用いて行うと好適である。次いで図5eに示すように、無電解銅めっきおよび電解銅めっきにより、第3の絶縁層43上に、穴36およびパッド用穴13内を充填すると共に、一方の電極膜16と電気的に接続する第5の銅めっき皮膜45を形成する。

【0036】次に図5fに示すように、第5の銅めっき皮膜45をエッチングして、一方の電極膜16および第1の銅箔40にそれぞれ接続する配線パターン21とパッド17とを形成する。なお、この配線パターン21上に、絶縁層を形成し、ビア穴形成、銅めっき皮膜形成、

パターンニング（配線パターン形成）を繰り返すことにより多層回路基板に形成してもよい（図示せず）。また第1の銅箔40もエッチングして、第1の電極膜16と強誘電体層11を介して対向する第2の電極膜22を形成する（図5f）。

【0037】次いで図5gに示すように、第1の銅箔40をエッチングすることにより露出した強誘電体層11をエッチングで除去することにより、バイパスキャパシタ25を表面に有する回路基板47を形成することができる。銅箔40のエッチング、強誘電体層11のエッチングでは異なるエッチング液を用い、それぞれをマスクとしてエッチングすることができる。すなわち、第2の電極膜22をマスクとして強誘電体層のエッチングが行える。

【0038】また、上記回路基板47の配線パターン21にはんだボール（外部接続端子）26を取りつけ、バイパスキャパシタ25の他方の電極膜22上およびパッド17上に半導体チップ（図示せず）をはんだを用いてフリップチップ接続して搭載し、半導体装置（図示せず）に形成することもできる。すなわち、この場合も、複数のバイパスキャパシタ25が、半導体チップの信号用端子が接続されるパッド17と共に、半導体チップの搭載エリア内に配設されている。なお、外部接続端子ははんだボールの他にピンであってもよい。

【0039】このように、バイパスキャパシタ25が半導体チップの直下に配設されるから、電源ノイズを効果的に吸収することができる。なお、本実施の形態でも、図5bに示す材料片12の第1の銅箔40の他方の面にはんだ層を形成した材料片を出発の材料片とするか、あるいは中途ではんだ層を形成することにより、図2に示すのと同様な予備はんだ層を備える回路基板に形成することができる。

【0040】図6は第6の実施の形態を示す。まず、図6a、図6bに示すように、銅箔10の一方の面に強誘電体層11が形成された材料片12の強誘電体層11にパッド用穴13を形成する。この穴あけはレーザーにより行うことができる。次に、図6cに示すように、はんだめっきにより、パッド用穴13を充填すると共に、強誘電体層11を覆うはんだ層48を形成する。

【0041】次いで図6dに示すように、銅箔10をエッチングして、第1の電極膜16およびパッド17を形成する。次に、図6eに示すように、露出した強誘電体層11上に第4の絶縁層49を形成する。第4の絶縁層49は、ポリイミドやポリフェニレンエーテル等の樹脂（非感光性）を塗布、またはこれらの樹脂シートを接着して形成する。次いで第4の絶縁層49にレーザー加工によりビア穴19を形成して、一方の電極膜16とパッド17とを露出させる（図6f）。この場合、第4の絶縁層49には感光性レジストを用いて、一方の電極膜16とパッド17とを覆うように第4の絶縁層49を形成

し、フォトリソグラフィによりビア穴19をあけてもよい。

【0042】次いで図6gに示すように、無電解銅めっきおよび電解銅めっきにより、第4の絶縁層49を覆って第1の電極膜16およびパッド17に電気的に接続する第6の銅めっき皮膜50を形成する。次に、図6hに示すように、第6の銅めっき皮膜50をエッチングして配線パターン21を形成する。なお、この配線パターン21上に、絶縁層を形成し、ビア穴形成、銅めっき皮膜形成、パターンニング（配線パターン形成）を繰り返すことにより多層回路基板に形成してもよい（図示せず）。次いで図6iに示すように、はんだ層48をエッチングして、一方の電極膜16およびパッド17に対向する部位のはんだ層を残して、予備はんだ層を兼用する他方の電極膜22とパッド17とを形成する。

【0043】次に、図6jに示すように、はんだ層48を除去することにより露出した強誘電体層11をエッチングで除去して、バイパスキャパシタ25を表面に有する回路基板51を形成することができる。はんだ層48のエッチング、強誘電体層11のエッチングでは異なるエッチング液を用い、それぞれをマスクとしてエッチングすることができる。すなわち、他方の電極膜22をマスクとして強誘電体層のエッチングが行える。

【0044】また、上記回路基板51の配線パターン21にはんだボール（外部接続端子）26を取りつけ、バイパスキャパシタ25の他方の電極膜22上およびパッド17上に半導体チップ27を予備はんだを用いてフリップチップ接続して搭載し、半導体装置52に形成することもできる。すなわち、この場合も、複数のバイパスキャパシタ25が、半導体チップの信号用端子が接続されるパッド17と共に、半導体チップ27の搭載エリア内に配設されている。このように、バイパスキャパシタ25が半導体チップ27の直下に配設されるから、電源ノイズを効果的に吸収することができる。なお、外部接続端子ははんだボールの他にピンであってもよい。

【0045】図7は第7の実施の形態を示す。まず図7a、図7bに示すように、銅箔10の一方の面に強誘電体層11が形成された材料片12の強誘電体層11にパッド用穴13をレーザー加工により形成する。次いで図7cに示すように、銅めっきによる銅53によりパッド用穴13を充填する。次に図7dに示すように、強誘電体層11を覆うはんだ層48を形成する。

【0046】次に図7eに示すように、銅箔10をエッチングして、第1の電極膜16およびパッド17を形成する。工程と、次いで、図7fに示すように、露出した強誘電体層11上に第4の絶縁層49を形成する。第4の絶縁層49は、ポリイミドやポリフェニレンエーテル等の樹脂（非感光性）を塗布、またはこれらの樹脂シートを接着して形成する。次いで第4の絶縁層49にレーザー加工によりビア穴19を形成して、一方の電極膜1

6とパッド17とを露出させる(図7g)。この場合、第4の絶縁層49には感光性レジストを用いて、一方の電極膜16とパッド17とを覆うように第4の絶縁層49を形成し、フォトリソグラフィによりビア穴19をあけてもよい。

【0047】次に図7hに示すように、無電解銅めっきおよび電解銅めっきにより、第4の絶縁層49を覆って第1の電極膜16およびパッド17に電気的に接続する第6の銅めっき皮膜50を形成する。次いで図7iに示すように、該第6の銅めっき皮膜50をエッチングして配線パターン21を形成する。なお、この配線パターン21上に、絶縁層を形成し、ビア穴形成、銅めっき皮膜形成、パターンニング(配線パターン形成)を繰り返すことにより多層回路基板に形成してもよい(図示せず)。次いで図7jに示すように、はんだ層48をエッチングして、一方の電極膜16およびパッド17に対向する部位のはんだ層を残して、予備のはんだ層を兼用する他方の電極膜22とパッド17とを形成する。

【0048】次に、図7kに示すように、はんだ層48を除去することにより露出した強誘電体層11をエッチングで除去して、バイパスキャパシタ25を表層に有する回路基板55を形成することができる。はんだ層48のエッチング、強誘電体層11のエッチングでは異なるエッチング液を用い、それぞれをマスクとしてエッチングすることができる。すなわち、他方の電極膜22をマスクとして強誘電体層のエッチングが行える。

【0049】また、上記回路基板55の配線パターン21にはんだボール(外部接続端子)26を取りつけ、バイパスキャパシタ25の他方の電極膜22上およびパッド17上に半導体チップ27を予備のはんだを用いてフリップチップ接続して搭載し、半導体装置56に形成することもできる。すなわち、この場合も、複数のバイパスキャパシタ25が、半導体チップの信号用端子が接続されるパッド17と共に、半導体チップ27の搭載エリア内に配設されている。なお外部接続端子ははんだボールの他にピンであってもよい。

【0050】このように、バイパスキャパシタ25が半導体チップ27の直下に配設されるから、電源ノイズを効果的に吸収することができる。なお、上記各実施の形態において、配線パターン、電極膜、パッドは、無電解銅めっきと電解銅めっきにより形成する方法の他に、スパッタにより給電層(クロム層と銅層)を形成し、この上に電解銅めっきを施す方法を用いて形成してもよい。本発明では、これらを含めて「めっきにより」と定義する。また、めっきは必ずしも銅めっきに限定されない。

【0051】以上本発明につき好適な実施例を挙げて種々説明したが、本発明はこの実施例に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのももちろんである。

【0052】

【発明の効果】以上のように本発明によれば、ノイズの吸収に優れ、小型化が可能な回路基板、半導体装置、その効果的な製造方法、およびこの製造方法に用いて好適な回路基板用材料片を提供できる。

【図面の簡単な説明】

【図1】第1の実施の形態による工程図、

【図2】第2の実施の形態による工程図、

【図3】第3の実施の形態による工程図、

【図4】第4の実施の形態による工程図、

【図5】第5の実施の形態による工程図、

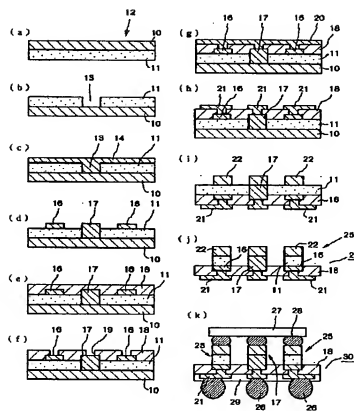
【図6】第6の実施の形態による工程図、

【図7】第7の実施の形態による工程図である。

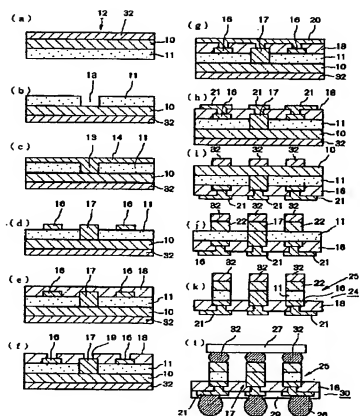
【符号の説明】

- 10 銅箔(金属箔)
- 11 強誘電体層
- 12 材料片
- 14 第1の銅めっき皮膜(導電層)
- 16 第1の電極膜
- 17 パッド
- 18 第1の絶縁層
- 20 第2の銅めっき皮膜(導電層)
- 21 配線パターン
- 22 第2の電極膜
- 24 回路基板
- 25 バイパスキャパシタ
- 26 はんだボール(外部接続端子)
- 27 半導体チップ
- 28 はんだ
- 30 半導体装置
- 32 はんだ層
- 35 第2の絶縁層
- 37 第4の銅めっき皮膜(導電層)
- 38 回路基板
- 40 第1の銅箔(金属箔)
- 41 絶縁層
- 42 第2の銅箔(金属箔)
- 43 第3の絶縁層
- 45 第5の銅めっき皮膜(導電層)
- 47 回路基板
- 48 はんだ層
- 49 第4の絶縁層
- 50 第6の銅めっき皮膜(導電層)
- 51 回路基板
- 52 半導体装置
- 53 銅
- 55 回路基板
- 56 半導体装置

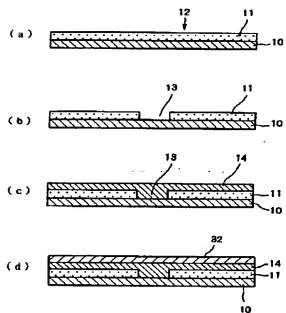
【図1】



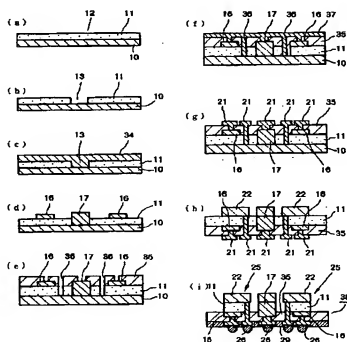
【図2】



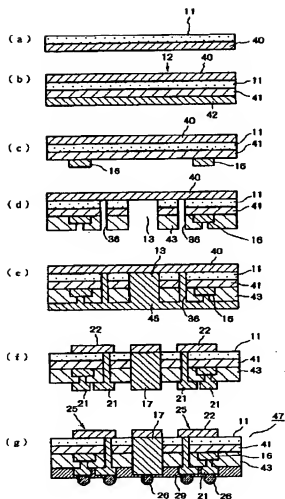
【図3】



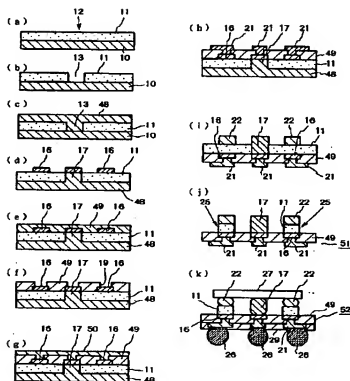
【図4】



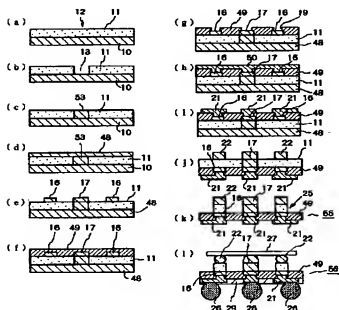
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 4E351 BB03 BB22 BB26 BB33 BB49
CC01 CC22 DD04 DD43 DD44
GG11 GG20
5E317 AA04 AA24 BB01 BB12 CC32
CC33 CC44 CD21 CD27 CD32
CD34 GG14 GG20
5F044 KK02 KK11 KK14 LL01